

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022396
 (43)Date of publication of application : 24.01.1995

(51)Int.CI.

H01L 21/3065
H01L 21/28

(21)Application number : 05-151957

(71)Applicant : SONY CORP

(22)Date of filing : 23.06.1993

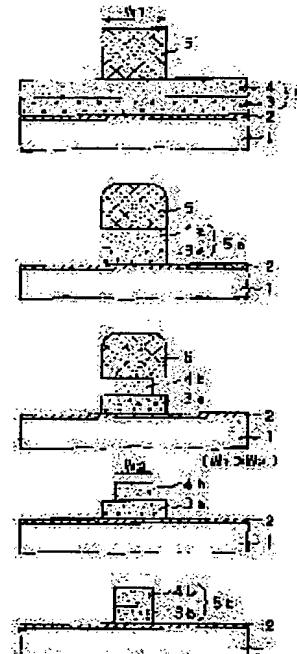
(72)Inventor : TATSUMI TETSUYA

(54) DRY ETCHING METHOD

(57)Abstract:

PURPOSE: To enable a fine pattern beyond the resolution limit of a lithography technique to be dry-etched.

CONSTITUTION: A W-polycide film 5 is anisotropically etched through the intermediary of a resist mask 6 W1 in pattern width and then over-etched under isotropical conditions to thin only a WSix pattern 4b W2 ($W2 < W1$) in pattern width just under the resist mask 6. The resist mask 6 is removed, and a lower polycrystalline silicon pattern 3a is anisotropically etched using the WSix pattern 4b as a mask. The pattern width ($W2$) of a finished gate electrode 5b becomes smaller than that ($W1$) of the resist mask 6. By this setup, fine processing of the order of $0.1\mu\text{m}$ or below can be carried out by a mass-production facility which has a performance of a current minimal processable dimension of the order of 0.5 to $0.35\mu\text{m}$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-22396

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.⁸
H 0 1 L 21/3065
21/28識別記号 庁内整理番号
E 7376-4M

F I

技術表示箇所

H 0 1 L 21/ 302

J

審査請求 未請求 請求項の数6 OL (全7頁)

(21)出願番号

特願平5-151957

(22)出願日

平成5年(1993)6月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

辰巳 哲也

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

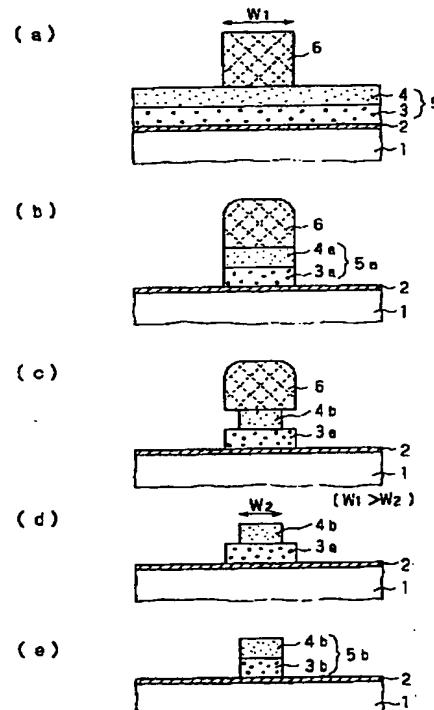
(54)【発明の名称】 ドライエッチング方法

(57)【要約】

【目的】 リソグラフィ技術の解像限界を超える微細パターンのドライエッチングを行う。

【構成】 パターン幅 w_1 のレジスト・マスク6を介してW-ポリサイド膜5を異方的にジャストエッチングした後、等方的な条件でオーバーエッチングを行ってレジスト・マスク6の直下のWSi_x パターン4aのみを細らせ、パターン幅 w_2 (ただし、 $w_2 < w_1$) のWSi_x パターン4bを形成する。レジスト・マスク6を除去し、今度はWSi_x パターン4bをマスクとしてその下の多結晶シリコン・パターン3aを異方的にエッチングする。完成したゲート電極5bのパターン幅 (=w₂) は、レジスト・マスク6のそれ (=w₁) よりも小さくなる。

【効果】 現行の最小加工寸法0.5~0.35 μmクラスの量産設備を用いて、0.1 μmクラス以下の微細加工が可能となる。



【特許請求の範囲】

【請求項1】 エッチング特性の異なる少なくとも2層の材料膜が積層されてなる多層膜を、第1のエッチング・マスクを用いて実質的にその層厚分だけ異方的にエッチングする第1のエッチング工程と、

前記多層膜を構成する材料膜のうち最上層側から少なくとも1層の材料膜を等方的にエッチングし、そのパターン幅を前記エッチング・マスクのパターン幅よりも小となす第2のエッチング工程と、

前記第1のエッチング・マスクを除去する工程と、

前記第2のエッチング工程において等方的にエッチングされた材料膜を第2のエッチング・マスクとして下層側の材料膜を異方的にエッチングする第3のエッチング工程とを有することを特徴とするドライエッチング方法。

【請求項2】 前記多層膜は、上層側の高融点金属シリサイド層と下層側の多結晶シリコン層とが積層されてなる高融点金属ポリサイド膜であり、前記第2のエッチング工程では高融点金属のオキシハロゲン化物を生成させる条件で該高融点金属シリサイド層を等方的にエッチングすることを特徴とする請求項1記載のドライエッチング方法。

【請求項3】 前記高融点金属シリサイド層はタンゲステン・シリサイド層であり、前記第3のエッチング工程では臭素系化合物またはヨウ素系化合物の少なくとも一方を含むエッチング・ガスを用いることを特徴とする請求項2記載のドライエッチング方法。

【請求項4】 高反射率材料膜と反射防止膜とがこの順に積層されてなる多層膜のドライエッチング方法において、

前記反射防止膜を第1のエッチング・マスクを用いて等方的にエッチングし、そのパターン幅を該第1のエッチング・マスクのパターン幅よりも小となす第1のエッチング工程と、

前記第1のエッチング・マスクを除去する工程と、

前記反射防止膜を第2のエッチング・マスクとして前記高反射率材料膜を異方的にエッチングする第2のエッチング工程とを有することを特徴とするドライエッチング方法。

【請求項5】 前記第1のエッチング・マスクが有機材料膜、前記反射防止膜がシリコン系材料膜からそれぞれ構成され、該有機材料膜の除去をアッティングにより行って該シリコン系材料膜の少なくとも表層部を同時に酸化することを特徴とする請求項4記載のドライエッチング方法。

【請求項6】 前記第2のエッチング工程では臭素系化合物またはヨウ素系化合物の少なくとも一方を含むエッチング・ガスを用いることを特徴とする請求項5記載のドライエッチング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造等に適用されるドライエッチング方法に関し、特に現行のリソグラフィ技術の解像限界を超える微細加工を可能とする技術に関する。

【0002】

【従来の技術】 半導体装置の高集積化が加速的に進行するに伴い、その最小加工寸法も急速に縮小されている。たとえば、現状で量産ラインに移行されている16MDRAMの最小加工寸法は約0.5μmであるが、次世代の64MDRAMでは0.35μm以下、次々世代の256MDRAMでは0.25μm以下に縮小されるとみられている。

【0003】 この微細化度は、マスク・パターンを形成するリソグラフィ技術に依存するといつても過言ではない。現行の0.5μmクラスの加工は高圧水銀ランプのg線（波長436nm）やi線（波長365nm）を光源とするフォトリソグラフィにより行われている。また、0.35μm～0.25μmクラスでは、KrF（波長248nm）等を光源とするエキシマ・レーザ・リソグラフィ、あるいはi線リソグラフィに位相シフト法や変形照明法等の超解像技術を組み合わせる方法が有力である。さらに0.2μm以下のクラスでは、電子ビーム・リソグラフィによる直接描画（EB直描写）、X線リソグラフィ、SOR（シンクロトロン放射光）リソグラフィ等が必要となる。

【0004】

【発明が解決しようとする課題】 しかしながら、上述したリソグラフィ技術のうち、量産レベルで信頼性が実証されているのは、0.5μmクラスを除いてはほとんどない。それ以下のクラスでは、技術上の困難、スループットの低下、コスト増等の多くの問題点を抱えているのが実情である。

【0005】 たとえばエキシマ・レーザ・リソグラフィでは、化学增幅系レジスト等が一部用いられているものの、さらに感光特性に優れるレジスト材料の開発が隘路となっている。位相シフト法では、フォトマスク製造工程の複雑さやマスクの欠陥修復の困難さが大きな問題となっている。変形照明法では、光量の低下が問題となる。

【0006】 電子ビーム・リソグラフィでは、細く集束させたビームをスキャンしながら図形を描く方式が一般的であるため、スループットの向上が期待できない。現状では、フォトマスクの製造やHEMTのゲート加工等への適用にはほぼ限られおり、LSIの直接製造は今後の検討課題である。X線リソグラフィにおいてはX線源、マスク、レジスト材料、位置合わせ等について解決すべき問題点が多く残されている。

【0007】 さらに、SORリソグラフィについては、加速器を備えた稀少な施設でしかプロセスを行うことができない。

【0008】このように、従来技術では0.35μmより小さいパターンを形成することは、未だ容易なことではない。そこで本発明は、現状の技術および製造装置を用い、スループットの低下やコスト増等を招くことなく、0.35μm以下の微細なパターンを簡便かつ正確に形成する方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明者は、上述の目的を達するために鋭意検討を行った結果、多層膜を構成する材料膜のうち、エッティング・マスクの直下の材料膜に等方的なエッティング条件下でアンダカットを入れてパターン幅を細らせ、エッティング・マスクを除去した後、パターン幅の細った上記材料膜をマスクとしてその下地の材料膜をエッティングすることを考えた。さらに、このアンダカットの形成方法として、(a) 多層膜全体をジャストエッティングした後、オーバーエッティングを行って形成する方法、あるいは(b) 始めからエッティング・マスクの直下の材料膜のみを下地に対して選択性を確保した条件で等方的にエッティングする方法の2通りを考えた。

【0010】ここで、かかるアンダカットは、通常のドライエッティング技術においても過剰にオーバーエッティングを行った場合の副作用としてしばしば観察される。しかし、これでは下地選択性も同時に低下するので、今後の微細加工の要求には応えることができない。本発明者はこの点も考慮に入れて、実用的なプロセスを構築するための被エッティング材料膜、エッティング・マスク、エッティング・ガスの種類等について検討を加え、本発明を提案するに至ったものである。

【0011】本発明のドライエッティング方法のひとつは、上記(a)の考え方にもとづいて提案されるものであり、エッティング特性の異なる少なくとも2層の材料膜が積層されてなる多層膜を、第1のエッティング・マスクを用いて実質的にその層厚分だけ異方的にエッティングする第1のエッティング工程と、前記多層膜を構成する材料膜のうち最上層側から少なくとも1層の材料膜を等方的にエッティングし、そのパターン幅を前記エッティング・マスクのパターン幅よりも小となす第2のエッティング工程と、前記第1のエッティング・マスクを除去する工程と、前記第2のエッティング工程において等方的にエッティングされた材料膜を第2のエッティング・マスクとして下層側の材料膜を異方的にエッティングする第3のエッティング工程とを有する。

【0012】ここで、上記第1のエッティング・マスクは、フォトレジスト材料のような有機材料膜であっても、あるいはこれを用いてパターニングされたSiO₂膜等の無機材料膜であっても良い。また、その形成方法としても、0.5~0.35μmレベルの微細加工に関して従来公知のあらゆるリソグラフィ技術を用いて構わない。しかし、いずれにしてもこの第1のエッティング・マスクは、エッティングすべき多層膜の上に最初に形成さ

れるマスクであるから、そのパターン幅は適用されたりソグラフィ技術の解像限界の制約を受けたものとなる。

【0013】なお、前記多層膜としては、まず上層側の高融点金属シリサイド層と下層側の多結晶シリコン層とが積層されてなる高融点金属ポリサイド膜が挙げられる。この場合、前記第2のエッティング工程で等方的にエッティングされる材料膜は、上層側の高融点金属シリサイド層であり、これは高融点金属のオキシハロゲン化物を生成させる条件下で除去することができる。以降は、この高融点金属シリサイド層を第2のエッティング・マスクとして、下層側の多結晶シリコン層を異方的にエッティングする。

【0014】実用的なプロセスとしては、前記高融点金属シリサイド層としてタンゲステン・シリサイド(WSix)層を用い、前記第3のエッティング工程において臭素系化合物またはヨウ素系化合物の少なくとも一方を含むエッティング・ガスを用いるプロセスを挙げることができる。なおこのとき、臭素(Br)系エッチャントあるいはヨウ素(I)系エッチャントと第2のエッティング・マスクとの反応生成物の蒸気圧を十分に低く保つために、ウェハ温度をおおよそ50℃以下に維持しておくことが、マスク選択性の向上を図る観点から特に好ましい。

【0015】一方、上記(b)の考え方にもとづいて提案されるドライエッティング方法は、高反射率材料膜と反射防止膜とがこの順に積層されてなる多層膜をドライエッティングする場合に、前記反射防止膜を第1のエッティング・マスクを用いて等方的にエッティングし、そのパターン幅を該第1のエッティング・マスクのパターン幅よりも小となす第1のエッティング工程と、前記第1のエッティング・マスクを除去する工程と、前記反射防止膜を第2のエッティング・マスクとして前記高反射率材料膜を異方的にエッティングする第2のエッティング工程とを経るものである。

【0016】ここで、前記第1のエッティング・マスクを有機材料膜、前記反射防止膜をシリコン系材料膜でそれぞれ構成した場合には、該有機材料膜をアッシングにより除去する際に、前記シリコン系材料膜の少なくとも表層部を同時に酸化することができる。またこのとき、前記第2のエッティング工程において臭素系化合物またはヨウ素系化合物の少なくとも一方を含むエッティング・ガスを用いることが、特に好適である。

【0017】

【作用】本発明のドライエッティング方法には、第1のエッティング・マスクの直下のアンダカットをオーバーエッティング時に形成するか、あるいは始めから下地材料膜に対して選択性を確保しながら形成するかといったバリエーションはあるが、最終的な多層膜のパターン幅がこのアンダカットにより細った材料膜(すなわち第2のエッティング・マスク)のパターン幅で決定される点を共通の

特色としている。ここで、第1のエッティング・マスクの最小加工寸法は、当然のことながら現行のリソグラフィ技術の限界解像度を反映したものであるが、上記のアンダカットは純粹に化学的なプロセスにより容易に形成することができる。したがって本発明では、現行の量産設備をそのまま使用しながら、最終的に上記の解像限界を超える微細加工を行うことができる。

【0018】多層膜を構成する上層側の材料膜にかかるアンダカットを発生させるためには、特定のラジカルに対する上層側の材料膜の反応性が、下層側の材料膜のそれよりも優れていれば良い。多結晶シリコン層と高融点金属シリサイド層とがこの順に積層されてなる高融点金属ポリサイド膜は、かかる多層膜の代表例である。この場合、高融点金属シリサイド層はO[•]（酸素ラジカル）とX[•]（ハロゲン・ラジカル）の存在する条件下で高融点金属のオキシハロゲン化物を生成する。この高融点金属のオキシハロゲン化物は、一般に高融点金属のハロゲン化物よりも蒸気圧が高い。その一方で、下地側の多結晶シリコン層は、かかる条件に曝されていても蒸気圧の高いオキシハロゲン化物を生成し難い。この理由により、高融点金属シリサイド層のパターン幅のみを細らせることができる。

【0019】これ以降は、高融点金属シリサイド層がエッティング・マスク（第2のエッティング・マスク）として働くので、このマスクに対してはもちろん、既に露出している下地材料膜に対しても高い選択性を確保できるエッティング・ガス組成を選択しなければならない。前記高融点金属シリサイド層がWSi_x層である場合に臭素系化合物またはヨウ素系化合物の少なくとも一方を含むエッティング・ガスを用いるのは、この点を考慮しているからである。すなわち、タンゲステンの臭化物やヨウ化物は蒸気圧が低いので、WSi_x層の表面から脱離し難く、マスク選択性を確保し易い。また、高融点金属ポリサイド膜の下地材料膜は、一般にSiO_x（酸化シリコン）からなるゲート酸化膜や層間絶縁膜であるが、これらの膜に対してもBr系やI系のエッチャントは高い反応性を示さないため、下地選択性も確保し易い。

【0020】上述のプロセスの考え方は、高反射率材料膜と反射防止膜とがこの順に積層されてなる多層膜のドライエッティングにおいても基本的には同じである。特に、上記反射防止膜をシリコン系材料膜を用いて構成し、また第1のエッティング・マスクを有機材料膜を用いて構成した場合（いわゆるレジスト・マスク）には、このレジスト・マスクをアッシング除去する際に、プラズマ中のO[•]により上記反射防止膜の少なくとも表層部が酸化され、SiO_x被膜が形成される。したがって、通常は膜厚が極めて薄い反射防止膜のエッティング耐性が向上し、第2のエッティング・マスクとして使用に耐えるようになる。

【0021】これ以降の高反射率材料膜のエッティングを

臭素系化合物またはヨウ素系化合物の少なくとも一方を含むエッティング・ガスを用いて行うことは、マスク選択性を確保する上で有利である。すなわち、このときのマスク（第2のエッティング・マスク）の表面は上述のようにSiO_x被膜で覆われており、Br系やI系のエッチャントでは容易にエッティングされない。

【0022】

【実施例】以下、本発明の具体的な実施例について説明する。

【0023】実施例1

本実施例は、本発明をレジスト・マスクを用いたタンゲステン・ポリサイド（W-ポリサイド）・ゲート電極加工に適用した例であり、Cl₂ / O₂混合ガスを用いてオーバーエッティングを行い上層側のWSi_x層のパターン幅を減じた後、レジスト・マスクを除去し、HBr / O₂混合ガスを用いて下層側の多結晶シリコン層をエッティングした。このプロセスを、図1を参照しながら説明する。

【0024】本実施例においてエッティング・サンプルとして用いたウェハは、図1（a）に示されるように、単結晶Si基板1上にゲート酸化膜2を介してW-ポリサイド膜5が積層され、さらにその上に所定のパターニングを経たパターン幅w₁のレジスト・マスク6が第1のエッティング・マスクとして形成されたものである。上記W-ポリサイド膜5は、下層側から順にn型不純物を含有する多結晶シリコン層3とWSi_x層4とが順次積層されたものである。また、上記レジスト・マスク6は、一例としてネガ型3成分系化学增幅レジスト材料（シブレー社製；商品名SAL-601）を用い、KRFエキシマ・レーザ・リソグラフィとアルカリ現像処理により、w₁ = 0.35 μmのパターン幅に形成されている。この値は、ほぼエキシマ・レーザ・リソグラフィの限界解像レベルである。

【0025】このウェハをRFバイアス印加型有磁場マイクロ波プラズマ・エッティング装置にセットし、一例として下記の条件でW-ポリサイド膜5をジャスト・エッティングした。

Cl ₂ 流量	72	SCCM
O ₂ 流量	8	SCCM
40 ガス圧	0.4	Pa
マイクロ波パワー	850	W (2.45 GHz)
RFバイアス・パワー	40	W (2 MHz)
ウェハ載置電極温度	0	°C

【0026】この条件では、W-ポリサイド膜5はWC_{1-x}O_y（オキシ塩化タンゲステン）、SiCl_x等の形で除去された。また、適度のイオン入射エネルギーが与えられていること、ウェハ冷却によりラジカルの反応性が抑制されていること等の理由により、エッティングは異方的に進行した。この結果、図1（b）に示されるよ

うに、レジスト・マスク6のパターン幅 w_1 に倣ったW-ポリサイド・パターン5aが形成された。このW-ポリサイド・パターン5aは、WSi_xパターン4aと多結晶シリコン・パターン3aとの積層パターンである。

【0027】なお、上記ジャスト・エッチングは、ウェハの一部において下地のゲート酸化膜2が露出し始めた時点で終了させた。

【0028】次に、一例として下記の条件でオーバーエッチングを行った。

C ₁₂ 流量	60 SCCM	10
O ₂ 流量	20 SCCM	
ガス圧	0.4 Pa	
マイクロ波パワー	850 W (2.45 GHz)	
RFバイアス・パワー	5 W (2 MHz)	
ウェハ載置電極温度	0 °C	

ここではO₂流量が増大され、WC_{1x}O_yが生成され易い条件となっているため、過剰なC₁⁺、O⁺はWSi_x層4の側壁面に集中した。この結果、図1(c)に示されるように、パターン幅の細ったWSi_xパターン4bが形成された。

【0029】なお、フッ素系エッチャントが存在しないこと、および低バイアス条件が採用されていること等の理由により、下地のゲート酸化膜2に対する選択性も極めて良好であった。

【0030】次に、図1(d)に示されるように、上記レジスト・マスク6をアッシング除去した。この結果、パターン幅 w_2 （ただし、 $w_1 > w_2$ ）を有するWSi_xパターン4bがウェハの最上層を構成する状態となつた。なお、上記パターン幅 w_2 は、オーバーエッチング時間の制御により約0.1 μmに設定した。

【0031】次に、このWSi_xパターン4bをマスク（第2のエッチング・マスク）とし、一例として下記の条件で多結晶シリコン・パターン3aをエッチングした。

HB _r 流量	100 SCCM	
O ₂ 流量	10 SCCM	
ガス圧	1.0 Pa	
マイクロ波パワー	850 W (2.45 GHz)	
RFバイアス・パワー	20 W (2 MHz)	
ウェハ載置電極温度	0 °C	

ここでは、Br⁺が主エッチャントとして寄与する結果、図1(e)に示されるように、多結晶シリコン・パターン3aがその露出部において異方的にエッチングされ、多結晶シリコン・パターン3bに変換された。これにより、全体としてパターン幅 w_2 (= 0.1 μm) を有するゲート電極5bが形成された。このとき、WB_r（臭化タンゲステン）の蒸気圧が低いことに起因して、エッチング・マスクであるWSi_xパターン4bに

対して高選択性が維持された。また、下地のゲート酸化膜2に対する選択性も良好であった。

【0032】かかる0.1 μmクラスの微細パターンを、従来の考え方にもとづき最初からこの幅で形成しようとすると、X線リソグラフィ等の特殊な技術に頼らざるを得ない。しかし、本発明によれば、上述のように化学的過程にもとづいて容易にパターン幅を減ずることができるので、従来の量産設備をそのまま用いて0.1 μmクラス、あるいはそれ以下の微細加工を実現することができる。

【0033】実施例2

本実施例では、実施例1と同様のポリサイド・ゲート電極加工において、WSi_xパターン4bをマスクとする多結晶シリコン・パターン3aのエッチングを、HI（ヨウ化水素）ガス用いて行った。等方的なオーバーエッチングにより、細いパターン幅 w_2 を有するWSi_xパターン4bを形成し、レジスト・マスク6を除去するまでの工程は、実施例1で上述したとおりである。

【0034】本実施例では次に、一例として下記の条件で多結晶シリコン・パターン3aをエッチングした。

HI 流量	100 SCCM
ガス圧	0.4 Pa
マイクロ波パワー	850 W (2.45 GHz)
RFバイアス・パワー	10 W (2 MHz)
ウェハ載置電極温度	0 °C

ここでは、生成するWI_x（ヨウ化タンゲステン）の蒸気圧が実施例1で生成したWB_rよりもさらに低いため、WSi_xパターン4bをエッチング・マスクとして用いる上で一層有利であった。また、I⁺とSiとの反応が元来自発的には進行しないため、低バイアス条件下でもSiの異方性エッチングが進行した。したがって、下地のゲート酸化膜2に対する選択性も、実施例1の場合よりもさらに向上した。

【0035】実施例3

本実施例は、本発明をアモルファス・シリコン(a-Si:H)反射防止膜を表面に有するタンゲステン(W)配線層のエッチングに適用し、HB_rガスを用いてレジスト・マスクよりもパターン幅の小さいa-Si:H反射防止膜パターンを等方的に形成した後、アッシングによりレジスト・マスクの除去とa-Si:H反射防止膜パターンの表面酸化を行い、さらにこのパターンをマスクとしてW配線層を異方的にエッチングした例である。

【0036】本実施例においてエッチング・サンプルとして用いたウェハを、図2(a)に示す。このウェハは、SiO_x層間絶縁膜11上にW配線層12、a-Si:H反射防止膜13が順次形成され、さらにこの上に所定のバーニングを経たパターン幅 w_3 のレジスト・マスク14が第1のエッチング・マスクとして形成されたものである。ここで、上記レジスト・マスク14のパ

ターン幅 w_3 は、エキシマ・レーザ・リソグラフィのはぼ解像限界に近い約 $0.35 \mu\text{m}$ に設定されている。

【0037】このウェハをRFバイアス印加型有磁場マイクロ波プラズマ・エッチング装置にセットし、一例として下記の条件で上記 a-Si:H 反射防止膜 13 をエッチングした。

HB _r 流量	100 SCCM
ガス圧	1.0 Pa
マイクロ波パワー	850 W (2.45 GHz)
RFバイアス・パワー	10 W (2 MHz)
ウェハ載置電極温度	0 °C

この過程では、低バイアス条件下の採用と WB_r_x の蒸気圧の低さに起因して、下地の W 配線層 12 に対して高選択性が維持されながら、a-Si:H 反射防止膜 13 のエッチングがある程度等方的に進行した。この結果、図 3 (b) に示されるように、パターン幅の細った a-Si:H 反射防止膜パターン 13a が形成された。

【0038】次に、一例として下記の条件で O₂ プラズマ・アッシングを行い、上記レジスト・マスク 14 を除去した。

O ₂ 流量	50 SCCM
ガス圧	1.0 Pa
マイクロ波パワー	850 W (2.45 GHz)
RFバイアス・パワー	0 W
ウェハ載置電極温度	0 °C

このアッシング過程では、図 2 (c) に示されるように、レジスト・マスク 14 が除去されると同時に a-Si:H 反射防止膜パターン 13a の表層部が酸化され、SiO_x 層 15 が形成された。かかる SiO_x 層 15 に被覆された a-Si:H 反射防止膜パターン 13a のパターン幅 w_4 (ただし、 $w_3 > w_4$) は、約 $0.1 \mu\text{m}$ であった。

【0039】さらに、上記反射防止膜パターン 13a と SiO_x 層 15 をマスク (第 2 のエッチング・マスク) として W 配線層 12 の異方性エッチングを行った。

SF ₆ 流量	50 SCCM
HB _r 流量	20 SCCM
ガス圧	0.5 Pa
マイクロ波パワー	850 W (2.45 GHz)
RFバイアス・パワー	30 W
ウェハ載置電極温度	0 °C

ここでは、F⁺ が主エッチャントとして寄与することにより W 配線層 12 のエッチングが進行する一方で、B_r の寄与によりマスク表面の SiO_x 層 15 や下地の SiO_x 層間絶縁膜 11 に対して高い選択性が維持された。この結果、図 2 (d) に示されるように、上記パターン幅 w_4 に倣って約 $0.1 \mu\text{m}$ の微細な W 配線パターン

12a が形成された。

【0040】以上、本発明を 3 例の実施例にもとづいて説明したが、本発明はこれらの各実施例に何ら限定されるものではなく、たとえばリソグラフィの方法、サンプル・ウェハの構成、加工寸法、エッチング条件、アッシング条件、使用するエッチング装置の種類等が適宜変更可能であることは言うまでもない。

【0041】

【発明の効果】以上のお説明からも明らかのように、本発明を適用すれば、従来のリソグラフィ技術の解像限界に制約されることなく、既存の製造装置を用いて $0.1 \mu\text{m}$ あるいはそれ以下の寸法の微細なパターンを形成することが可能となる。すなわち、現行の量産設備で次世代以降の微細なデザイン・ルールへの対応が可能となり、スループットや経済性の劣化を招くことがない。たがつて本発明は、半導体装置等の超微細化、超高集積化を推進する技術として、極めて有用である。

【図面の簡単な説明】

【図 1】本発明を W-ポリサイド・ゲート電極加工に適用したプロセス例をその工程順にしたがつて示す模式的断面図であり、(a) は W-ポリサイド膜上にレジスト・マスクを形成した状態、(b) は W-ポリサイド膜を異方的にジャストエッチングした状態、(c) はパターン幅の細った WSi_x パターンを形成した状態、(d) はレジスト・マスクを除去した状態、(e) は WSi_x パターンをマスクとするエッチングにより狭いパターン幅を有するゲート電極を形成した状態をそれぞれ表す。

【図 2】本発明を a-Si:H 反射防止膜に被覆された W 配線の微細加工に適用したプロセス例をその工程順にしたがつて示す模式的断面図であり、(a) は W 配線層の上に a-Si:H 反射防止膜を介してレジスト・マスクを形成した状態、(b) はパターン幅の細った a-Si:H 反射防止膜パターン 13a を形成した状態、(c) はレジスト・マスクのアッシング除去と同時に a-Si:H 反射防止膜パターンの表面を酸化した状態、(d) は a-Si:H 反射防止膜パターンをマスクとしたエッチングにより W 配線パターンを形成した状態をそれぞれ表す。

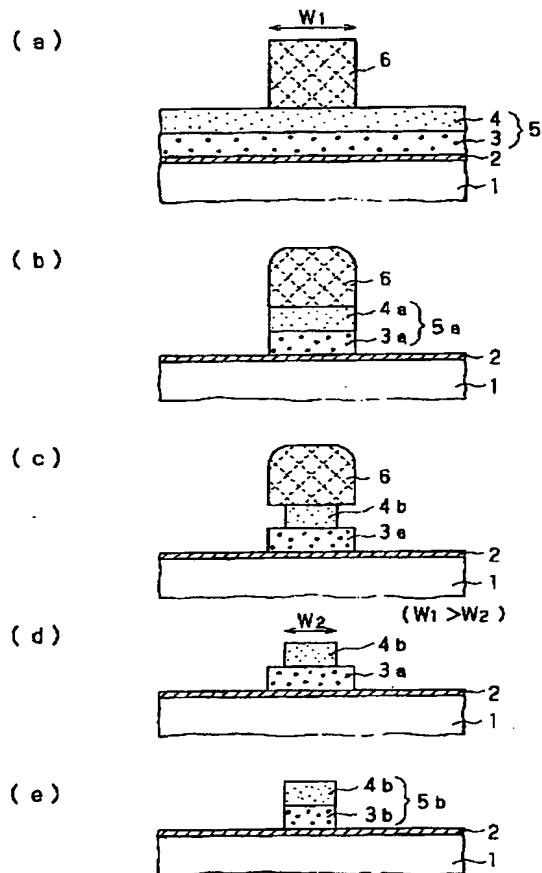
【符号の説明】

1	… 単結晶 Si 基板
2	… ゲート酸化膜
3	… 多結晶シリコン層
4	… WSi _x 層
4a	… WSi _x パターン
4b	… WSi _x パターン (第 2 のエッチング・マスク)
5	… W-ポリサイド膜
5b	… ゲート電極
6, 14	… レジスト・マスク (第 1 のエッチング・マスク)

- 11 SiO_x 層間絶縁膜
 12 W配線層
 12 a W配線パターン
 13 a-Si : H反射防止膜

- 12 a-Si : H反射防止膜パターン (第2
 のエッティング・マスク)
 15 SiO_x 層

【図1】



【図2】

